

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-069803

(43)Date of publication of application : 09.03.1999

(51)Int.Cl.

H02M 3/28  
H02M 7/21

(21)Application number : 09-216095

(71)Applicant : NEC CORP

(22)Date of filing : 11.08.1997

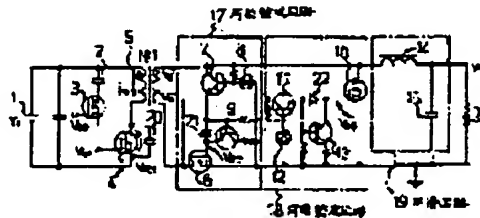
(72)Inventor : NEGOME TAKETO

## (54) SWITCHING POWER SUPPLY

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To enable the enhancement of the power conversion efficiency of a switching power supply, by using FET for synchronous rectification and a circuit for making gate drive waveform constant, and further adding a high-speed off-circuit when the gate waveform is off.

**SOLUTION:** In a low-loss gate drive circuit using a synchronous rectification circuit, FET's 6, 10 are fed with a gate voltage obtained by stabilizing the secondary winding voltage of a transformer 5 through the transistors 7, 10 for clamp and the diodes 8, 12 in a waveform shaping circuit. A diode for circuit interruption is connected with the gate of the FET 10 for reflux in a synchronous rectification circuit 18 between a transistor 11 for clamp and a transistor 13 for discharge in order to discharge the charges in the gate capacitance through the transistor 13 at high speed. As a result, when the gate voltage is off, the voltage is quickly discharged through transistors 9, 13, and the diodes built in the FET's are turned off before they are turned on. Thereby loss is reduced. As a result, the risk of gate breakdown can be reduced.



BEST AVAILABLE COPY

## [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Especially this invention relates to the efficient-ized switching power supply which used synchronous detection about switching power supply.

[0002]

[Description of the Prior Art] Conventionally, this kind of gate drive circuit for synchronous detection of low loss is used in switching power supply for the purpose of reduction of power consumption, or improvement in the reliability of a device.

[0003] For example, to JP.8-336282.A, a synchronous detection gating waveform is operated orthopedically, the danger of gate destruction is abolished to it, and the technology of also reducing loss of a gate drive circuit is indicated.

[0004]

[Problem(s) to be Solved by the Invention] However, the conventional example on \*\* had the \*\*\*\* fault shown below.

[0005] The 1st trouble has the trouble that the time of "off" of a gate drive voltage waveform is lost late, in a Prior art.

[0006] The reason is because the built-in diode of FET for synchronous detection "turns on" on.

[0007] this invention is made in order to cancel the above-mentioned fault which is inherent in a Prior art in view of the conventional above-mentioned actual condition, therefore the purpose of this invention reduces loss of FET for synchronous detection, and the new switching power supply which made it possible to raise the power conversion efficiency of switching power supply is offered -- it is in things

[0008] Other purposes of this invention are to abolish the danger of gate destruction of FET for synchronous detection.

[0009]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, using a circuit where FET for synchronous detection and a gate drive wave become fixed, further, the switching power supply concerning this invention adds the circuit which carries out "" at high speed at the time of gating waveform "off", and is constituted at it.

[0010] In this invention, if the gate drive wave of FET for synchronous detection is fixed and it fixes also in the input minimum voltage - input maximum voltage, loss of FET can be reduced.

[0011] Moreover, the danger of gate destruction also disappears.

[0012] By carrying out "off" [ of the synchronous detection FET gate drive wave ] at high speed, before diode with built-in FET "turns on" on, "" can be carried out, and it becomes possible to reduce loss.

[0013]

[Embodiments of the Invention] Next, this invention is explained in detail, referring to a drawing about the gestalt of the 1 desirable operation.

[0014] Drawing 1 is the circuitry view showing the gestalt of 1 operation of this invention.

[0015] With reference to drawing 1, the gestalt of the 1 operation by this invention consists of the DC input voltage 1, the main switching elements (MOS FET) 3 and 4, a transformer 5, synchronous detection circuits 17 and 18, a smoothing circuit 19, and load 16 grade.

[0016] Drawing 2 is a timing diagram which shows operation of the gestalt of the 1 operation by this invention shown in drawing 1.

[0017] The main switching elements (MOS FET) 3 and 4 are driven by the gate voltage of MOS

[0018] Period t1 - t2 the primary side main switching element 4 turns on, the gate voltage of MOS FET6 "turned on" on, let the smoothing circuit 19 pass by the gate voltage of FET6 for secondary synchronous detection, and was rectified to the load 16 It is impressed.

[0019] Period t2 -t3 Exciting current im to which the main switching elements 3 and 4 are "off"



with this emitter will also be set to 0V. Consequently, a transistor 13 will be in an "ON" state, the gate of FET10 is grounded, and the charge charged by the gate capacitance of FET10 is drawn out at high speed (it discharges). When a transistor 13 "turns on" on, diode 22 works so that the emitter of a transistor 11 and the gate of FET may be cut on a circuit, and promotes "ON" operation of a transistor 13. "ON" operation of the diode built in FET10 is prevented as a result of the above-mentioned operation.

[0033] Since it operates like [ the transistor 9 for electric discharge, and the diode 21 for circuit cutting ] the above, the explanation is omitted.

[0034] Moreover, in this invention, the switching circuit by the side of primary may use not only the switching circuit of an active clamp form as shown in drawing 1 but half bridge type, and stone forward type or Class E resonance type.

[0035]

[Effect of the Invention] this invention is constituted like the above and acts, and according to this invention, an effect as taken below is acquired.

[0036] The 1st effect can gather efficiency by using a transistor and zener diode for a synchronous detection gate drive circuit. Moreover, the danger of gate destruction can also be abolished.

[0037] Since a gate voltage is regularity (pressed down low) even if input voltage is high, the reason is because loss can be reduced and there is also no elevation of a gate voltage.

[0038] The 2nd effect can gather efficiency by using the transistor for electric discharge for a synchronous detection gate drive circuit.

[0039] The reason is because "off" [ of the gate voltage ] can be carried out at high speed, diode with built-in FET "does not turn [ but ] on" on and loss can be reduced.

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] It is the detailed circuitry view showing the gestalt of 1 operation of this invention.

[Drawing 2] It is the timing chart which shows the wave of each part of composition of having been shown in drawing 1 .

[Drawing 3] It is the conventional circuit diagram.

[Drawing 4] It is drawing showing the wave of each part of the circuit shown in drawing 3 .

### [Description of Notations]

1 -- Input power

2 15 -- Capacitor

3, 4, 6, 10 -- MOS FET

5 -- Transformer

7, 9, 11, 13 -- Transistor

8 12 -- Zener diode

14 -- Choke coil

16 -- Load

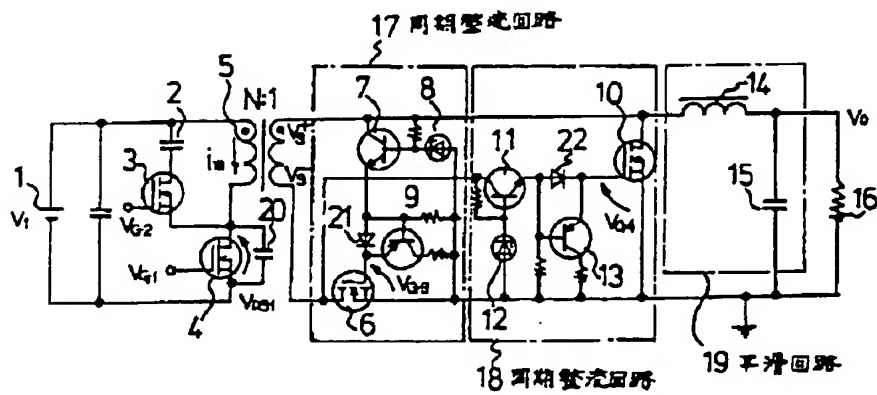
17 18 -- Synchronous detection circuit

19 -- Smoothing circuit

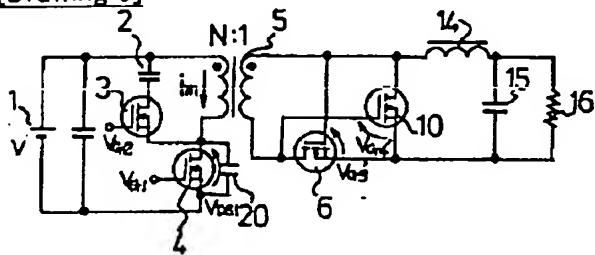
20 -- Parasitic capacitance

21 22 -- Diode

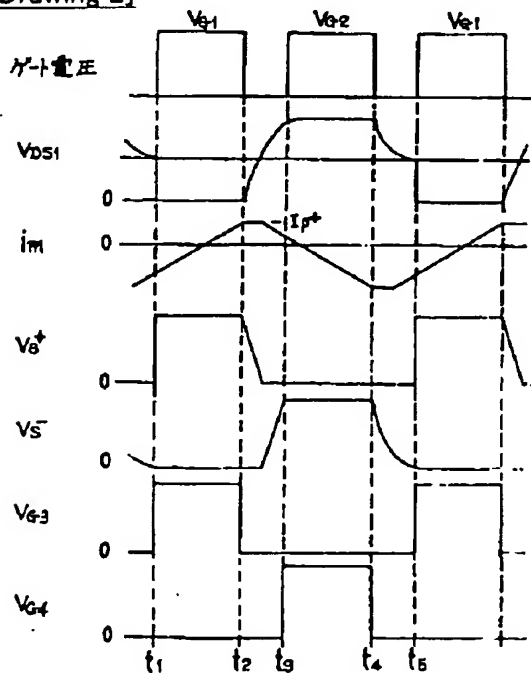
[Drawing 1]

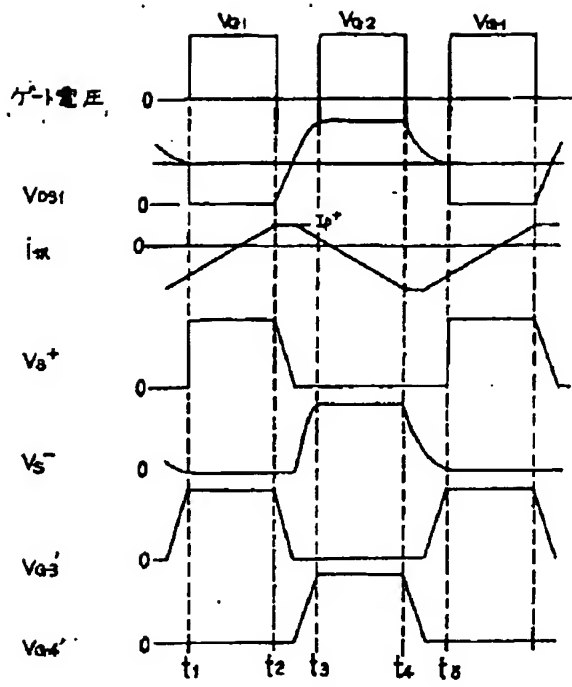


[Drawing 3]



[Drawing 2]





(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-69803

(43)公開日 平成11年(1999)3月9日

(51) Int.Cl.<sup>6</sup>

### 識別記号

FI

H0 2M 3/28

H0 2M 3/28

**F**

7/21

7/21

## H

**K**

A

審査請求 有 請求項の数 7 O.L (全 5 頁)

(21)出願番号 特願平9-216095

(22)出願日 平成9年(1997)8月11日

(71)出題人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 癸明者 根米 健人

東京都港区芝五丁目7番1号日本電気株式  
会社内

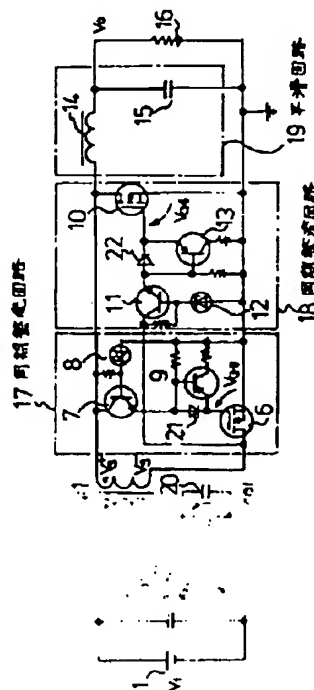
(74) 代理人 弁護士 熊谷 雄太郎

(54) 【発明の名称】 スイッチング電源

(57) 【要約】

【課題】 同期整流用FETの内蔵ダイオードがゲート電圧のデッドタイム時に“オン”してしまうために、FETのゲートドライブ電圧波形の“オフ”時間が遅くなり、それが損失になっている。

【解決手段】 同期整流用MOS-FET1のゲートに、FET1のゲート容量にチャージされた電荷を高速に引き抜く放電用トランジスタ9と同路切断ダイオード11を接続する。同様に環流用MOS-FET10のゲートに、同様の機能を有するトランジスタ13とダイオード22を接続する。



## 【特許請求の範囲】

【請求項1】 直流入力電圧をトランスの1次巻線に供給し、周期的に“オン”、“オフ”するスイッチング電源において、このスイッチング手段が“オフ”する間にトランスの1次巻線の両端の電圧を制限するクラブ手段と、前記トランスの2次巻線出力を整流・平滑する整流・平滑手段とを有し、

前記整流・平滑手段に、同期整流方式の整流・平滑回路を用い、前記同期整流・平滑回路の同期整流用電界効果トランジスタのゲートと前記トランスの2次巻線の一端との間に第1の波形整形手段が設けられていることを特徴とするスイッチング電源、

【請求項2】 前記同期整流・平滑回路の環流用電界効果トランジスタのゲートと前記トランスの2次巻線の他端との間に第2の波形整形手段が設けられていることを更に特徴とする請求項1に記載のスイッチング電源、

【請求項3】 前記第1及び第2の波形整形手段は、クランプ用トランジスタと、定電圧を発生するダイオードとを有することを更に特徴とする請求項2に記載のスイッチング電源、

【請求項4】 前記同期整流用電界効果トランジスタのゲートに、該同期整流用電界効果トランジスタのゲート容量にチャージされた電荷を高速に放電させる第1の放電手段を設けたことを更に特徴とする請求項1に記載のスイッチング電源、

【請求項5】 前記環流用電界効果トランジスタのゲートに、該環流用電界効果トランジスタのゲート容量にチャージされた電荷を高速に放電させる第2の放電手段を設けたことを更に特徴とする請求項4に記載のスイッチング電源、

【請求項6】 前記第1の放電手段は、前記同期整流用電界効果トランジスタのゲートに接続された第1の放電用トランジスタと、第1の回路切断用ダイオードとを有することを更に特徴とする請求項4に記載のスイッチング電源、

【請求項7】 前記第2の放電手段は、前記環流用電界効果トランジスタのゲートに接続された第2の放電用トランジスタと、第2の回路切断用ダイオードとを有することを更に特徴とする請求項5に記載のスイッチング電源、

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、スイッチング電源に関し、特に、同期整流を用いた高効率化スイッチング電源に関する。

【0003】例えば、特開平8-53628号公報には、同期整流ゲート波形を整形し、ゲート破壊の危険性を無くし、ゲートドライブ回路の損失も低減する技術が記載されている。

## 【0004】

【発明が解決しようとする課題】しかしながら、従来例には下記に示す如き欠点があった。

【0005】第1の問題点は、従来の技術においては、ゲートドライブ電圧波形の“オフ”時が遅く損失になるという問題点がある。

【0006】その理由は、同期整流用FETの内蔵ダイオードが“オン”してしまうためである。

【0007】本発明は従来の上記実情に鑑み、従来の技術に内在する上記欠点を解消する為になされたものであり、従って本発明の目的は、同期整流用FETの損失を低減し、スイッチング電源の電力変換効率を向上させることを可能とした新規なスイッチング電源を提供することにある。

【0008】本発明の他の目的は、同期整流用FETのゲート破壊の危険性をなくすることにある。

## 【0009】

【課題を解決するための手段】上記目的を達成する為、に、本発明に係るスイッチング電源は、同期整流用FET、ゲートドライブ波形が一定となるような回路を用い、さらにゲート波形“オフ”時に高速に“オフ”する回路を付加して構成される。

【0010】本発明において、同期整流用FETのゲートドライブ波形を一定にし、入力最低電圧～入力最大電圧においても一定にすれば、FETの損失を低減することができる。

【0011】また、ゲート破壊の危険性もなくなる。

【0012】同期整流FETゲートドライブ波形を高速に“オフ”することにより、FET内蔵ダイオードが“オン”する前に“オフ”することができ、損失を低減することが可能となる。

## 【0013】

【発明の実施の形態】次に本発明を一例好ましい一実施の形態について図面を参照しながら詳細に説明する。

【0014】図1は本発明の一実施の形態を示す回路構成図である。

【0015】図1を参照するに、本発明による一実施の形態は、DC入力電圧1、メインスイッチ素子MOS-FET3、4、トランス5、同期整流回路17、18、平滑回路19、負荷16等にて構成されている。

電圧の監視や機器の制御等に用いられる。

は、ゲートドライブを有するゲートドライブ回路。

てドライフされ、"オン"、"オフ"を繰り返している【図11】。1次側インダクタリング素子が"オン"している期間に、トランジスタは2次側同期整流用ダイオードの順方向電圧により、トランジスタを"オン"し、平滑回路1を通過して、負荷1へ整流された電圧 $V_{L1}$ が印加される。

【01019】期間1、2は、マイナススイッチング素子4が“オフ”となっている期間で、この間にトランス流に流れている励磁電流1、のピーク値1pで寄生容量20を充電する。

【0102】期間1はメインスイッチ要素4が“オフ”でメインスイッチ、要素3が“オン”となっている期間であり、この間メインスイッチ要素3とコンデンサ2からなるクラ、が回路でトランス5の二次巻線の両端がクランプされる。

【0021】この期間は、2次側レギュレータ用FET10のゲート電圧により、FET10が「オン」し、FET10を通して負荷電流が印加流し、負荷10へ整流電圧が印加される。

【0022】次に、同期整流回路を用いた、低損失のゲートドライブ回路について図1を参照して説明する。

【図23】ここで、注目すべきところは、FET6及びFET11にトランスラの二次巻線電圧がそのまま印加されるのではなく、トランスアタマ・タイオー18（トランススタ11、タイオー12）により構成された波形整形回路によって、安定化されたゲート電圧が加えられる点である。

【0024】即ち、同期整流回路17の同期整流用FET6のゲート回路には、定電圧を発生するツェナダイオード8と、このツェナダイオード8が出力する一定電圧以下にFET6のゲート電圧をクランプするクランプ用トランジスタ7とから成る波形整形回路が設けられている。

【0025】一方、同期整流回路18の環流用FET10のカゲート回路には、定電圧を発生するツェナダイオード11と、このツェナダイオード11から出力する一定電圧以下にFET10のカゲート電圧をリミットするツェナ用トランジスタ12が接続されている。

【例(二)】通常、直ちにトランスミタの巻線電圧よりFETに直接ゲート電圧が加えられる従来の場合(図3)には、入力電圧の変化とともに、二次側メインスイッチング素子のV<sub>GS</sub>の電圧が変化する。即ち、入力電圧が低ければ低く、入力電圧が高ければ高い電圧が発生し、トランスミタの巻線比により二次側に印加される。

(に記載された技術)では、ゲート電圧の“オン”時が遅く、損失の原因の一つであった。(図1A、B、C、Dを参照)

【OOS】これを解決するために、本発明は、図1のトランジスタ群(15)により、ゲート電圧が“オフ”時に電圧を急速に引き抜いて、FET下に内蔵されたタイオードが“オン”より前に高速で“オフ”し、損失を低減させることを目的とする回路である。

【図 19】即ち、同期整流回路 17 の同期用 FET 16 のゲートには、FET 16 のゲート容量にチャージされた電荷を高速に引き抜く（放電させる）放電用トランジスタ 9 と、このトランジスタ 9 のベースと FET 16 のゲートとの接続部と、波形整形回路のクランプ用トランジスタ 7 のエミッタと放電用トランジスタ 9 のベースとの接続部との間に、回路切断用ダイオード 2 が接続されている。

【0030】同様に、同期整流回路18の循環用FET10のゲートには、FET10のゲート容量にチャージされた電荷を高速に引き抜く（放電させる）放電用トランジスタ13と、この放電用トランジスタ13のベースとFET10のゲートとの接続部と、波形整形回路のクランプ用トランジスタ11のエミッタと放電用トランジスタ13のベースとの接続部との間に回路切断用のワイヤードラグが接続されている。

【0031】次に図13によるFET10を高速に“オフ”させる動作について説明する。

【0032】図1、図2を参照するに、今トランジスタの出力電圧 $V_s$ が時刻 $t_1$ で0Vになると、“オン”しているトランジスタ13のコレクタを通してトランジスタ13のエミッタが0Vになり、このエミッタと接続されている放電用トランジスタ13のベースも0Vになる。その結果、トランジスタ13が“オン”状態になって、FET10のゲートが接地されて、FET10のゲート容量にチャージされていた電荷は高速で引き抜かれる。放電される。ダイオード22は、トランジスタ13が“オン”するときに、トランジスタ13のエミッタとFET10のゲートを回路と切断するように働き、トランジスタ13の“オン”動作を助長するものである。上記作用の結果、FET10に内蔵されたダイオードの“オフ”動作が阻止される。

【００３３】放電用トランジスタ及び回路切断用タイマー２１も上記と同様に動作するので、その説明を省略する。

[illegible]

...and ...

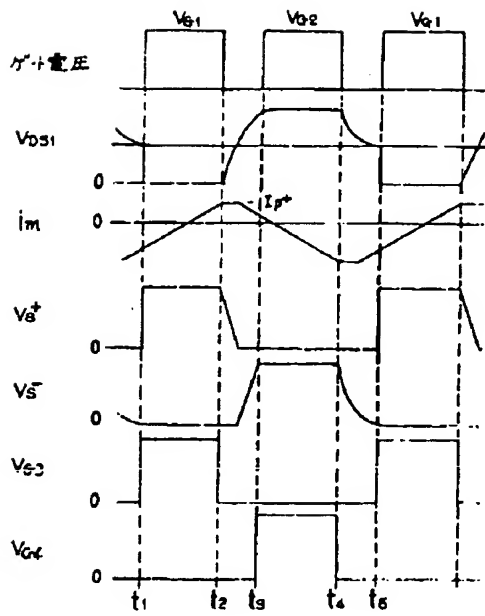
【参考文献】：① 孙其成：《论中国民间音乐流变》，《音乐艺术》，1997（3）；② 孙其成：《论中国民间音乐流变》，《音乐艺术》，1997（3）；③ 孙其成：《论中国民间音乐流变》，《音乐艺术》，1997（3）。

1 2 3

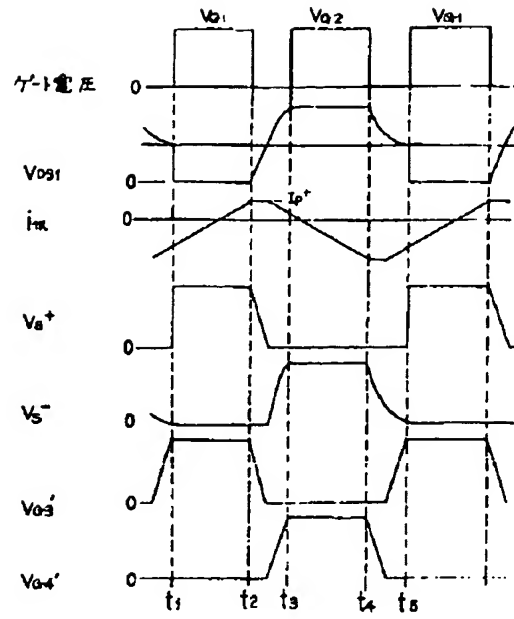
[illegible]



【図2】



【図3】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**